



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0032387  
Application Number

출원년월일 : 2003년 05월 21일  
Date of Application MAY 21, 2003

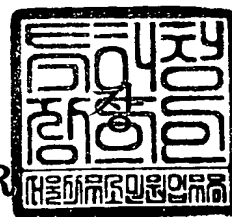
출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 11 월 21 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】 특허출원서  
 【권리구분】 특허  
 【수신처】 특허청장  
 【제출일자】 2003.05.21  
 【발명의 명칭】 톨러런트 입력 회로  
 【발명의 영문명칭】 TOLERANT INPUT CIRCUIT

【출원인】  
 【명칭】 삼성전자 주식회사  
 【출원인코드】 1-1998-104271-3

【대리인】  
 【성명】 박영우  
 【대리인코드】 9-1998-000230-2  
 【포괄위임등록번호】 1999-030203-7

【발명자】  
 【성명의 국문표기】 구경희  
 【성명의 영문표기】 K00,Kyoung Hoi  
 【주민등록번호】 740208-1382416  
 【우편번호】 442-724  
 【주소】 경기도 수원시 팔달구 영통동 롯데아파트 946동 1309호  
 【국적】 KR

【심사청구】 청구

【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박영우 (인)

## 【수수료】

【기본출원료】	20 면	29,000 원
【가산출원료】	28 면	28,000 원
【우선권주장료】	0 건	0 원
【심사청구료】	36 항	1,261,000 원
【합계】		1,318,000 원

【첨부서류】 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

낮은 전원 전압에서 안정하게 동작할 수 있는 톨러런트 입력 회로에 관한 발명을 개시한다. 전원 전압부는 제 1 노드의 신호를 이용하여 전원 전압보다 높은 전압을 가지는 제 2 노드의 신호를 발생시키고, 상기 제 1 노드의 신호를 제공하며, 보호 회로부는 입력 신호와 상기 제 2 노드의 신호를 이용하여 입력 전압을 변화시키고, 상기 변화된 입력 전압을 가지는 제 3 노드의 신호를 발생시키며, 입력 전압 가변부는 상기 제 3 노드의 신호와 상기 제 1 노드의 신호를 이용하여 상기 입력 전압보다 낮은 전압을 가지는 제 4 노드의 신호를 발생시킨다. 상기 전원 전압부에 의해 상기 전원 전압이 승압되므로, 톨러런트 입력 회로는 2V 이하의 전원 전압을 이용하여 4.5V 이상의 입력 전압을 용인할 수 있다.

**【대표도】**

도 1

**【색인어】**

톨러런트, tolerant, 패스 트랜지스터, 입력 버퍼

**【명세서】****【발명의 명칭】**

톨러런트 입력 회로{TOLERANT INPUT CIRCUIT}

**【도면의 간단한 설명】**

도 1은 본 발명의 바람직한 일 실시예에 따른 톨러런트 입력 회로의 전체 구성을 도시한 블록도이다.

도 2는 본 발명의 바람직한 일 실시예에 따른 입력 전압 가변부의 구성을 도시한 블록도이다.

도 3은 본 발명의 바람직한 일 실시예에 따른 전원 전압 가변부의 구성을 도시한 블록도이다.

도 4는 본 발명의 바람직한 일 실시예에 따른 제 1 스위칭부의 구성을 도시한 블록도이다.

도 5는 본 발명의 바람직한 일 실시예에 따른 제 2 스위칭부의 구성을 도시한 블록도이다.

도 6a는 본 발명의 바람직한 일 실시예에 따른 톨러런트 입력 회로의 구성을 도시한 회로도이다.

도 6b는 본 발명의 바람직한 일 실시예에 따른 제 1 노드의 신호와 제 2 노드의 신호를 도시한 신호도이다.

도 6c는 본 발명의 바람직한 일 실시예에 따른 제 3 노드의 신호를 도시한 신호도이다.

도 7은 본 발명의 바람직한 일 실시예에 따른 전원 전압 가변부의 구성을 도시한 블록도이다.

도 8은 본 발명의 바람직한 다른 실시예에 따른 톨러런트 입력 회로의 전체 구성을 도시한 블록도이다.

도 9는 본 발명의 바람직한 일 실시예에 따른 톨러런트 입력 회로의 동작을 도시한 순서도이다.

도 10은 종래의 톨러런트 입력 회로의 구성을 도시한 블록도이다.

#### 【발명의 상세한 설명】

#### 【발명의 목적】

#### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <13> 본 발명은 톨러런트 입력 회로 및 방법에 관한 것으로, 더욱 상세하게는 전원 전압보다 높은 전압을 가지는 입력 전압을 용인하는 톨러런트 입력 회로 및 방법에 관한 것이다.
- <14> 최근의 반도체 공정은 집적화가 높아지고 사용하는 전원 전압이 낮아지고 있다. 이에 따라, 게이트-옥사이드(gate-oxide)의 두께도 점점 얇아지고 있다. 그러므로, 반도체 소자는 더 이상 5V 전원을 사용할 수 없게 되었다. 그러나, 아직까지 많은 반도체 소자가 5V 전원을 사용하고 있다. 그러므로, 5V 전원을 사용하는 시스템과 인터페이스(interface)를 위해서 기존의 5V 레벨을 가지는 상기 입력 신호를 용인할 수 있는 시스템이 요구되고 있다.
- <15> 도 10은 종래의 톨러런트 입력 회로의 구성을 도시한 회로도이다.
- <16> 도 10을 참조하면, 종래의 톨러런트 입력 회로는 제 1 엔-모스 트랜지스터(N-MOS TRANSISTOR, 이하, NM1 모스 트랜지스터라 함), 제 2 엔-모스 트랜지스터(N-MOS TRANSISTOR, 이하, NM2 모

스 트랜지스터라 함), 제 1 피-모스 트랜지스터(P-MOS TRANSISTOR, 이하, P1 모스 트랜지스터라 함), 제 2 피-모스 트랜지스터(P-MOS TRANSISTOR, 이하, P2 모스 트랜지스터라 함) 및 버퍼를 포함한다.

<17> 도 10에 도시된 바와 같이, 전원 전압은 1.3V ~ 1.8V이고, 입력 전압은 4.5V ~ 5.5V이다. 3V 모스 트랜지스터의 경우, 상기 3V 모스 트랜지스터가 파괴되지 않고 견딜 수 있는 최대 전압은 3.6V이다. 그러나, 상기 전원 전압이 1.6V이고, 상기 입력 전압이 5.5V 인 경우, 상기 NM1 모스 트랜지스터의 게이트와 드레인 사이의 전압차와 P1 모스 트랜지스터의 게이트와 드레인 사이의 전압차가 3.6V보다 크므로, 상기 P1 모스 트랜지스터와 상기 NM1 모스 트랜지스터는 파괴될 것이다.

<18> 제 2 노드(이하, N2라 함)의 전압은 상기 전원 전압보다 문턱 전압( $V_{TH}$ )만큼 낮은 전압이 된다. 예를 들어, 상기 문턱 전압( $V_{TH}$ )이 0.7V이면, 상기 제 2 노드의 전압은 0.9V가 된다. 더욱이, 상기 NM1 모스 트랜지스터의 바디 효과(body effect)를 고려하면, 상기 제 2 노드의 전압은 0.9V 이하로 낮아질 것이다. 이 경우, 상기 NM2 모스 트랜지스터가 턴-온 될 뿐만 아니라 상기 P2 모스 트랜지스터가 턴-온 될 수 있다. 즉, 이 경우, 톨러런트 입력 회로가 스 위칭되지 않을 수 있다. 그러므로, 종래의 톨러런트 입력 회로는 2V 이하의 전원 전압을 이용하여 4.5V 이상의 입력 전압을 용인해야 하는 반도체 입력 회로에는 적합하지 않다.

**【발명이 이루고자 하는 기술적 과제】**

<19> 본 발명은 상기한 바와 같은 종래 기술의 문제점을 해결하기 위한 것으로서, 내부 회로와 함께 1개의 반도체 집적회로로서 구성되는데 적합하고, 낮은 전원 전압에서 안정하게 동작할 수 있는 톨러런트 입력 회로 및 방법을 제안하는 것이다.

<20> 본 발명의 다른 목적은, 전원 전압보다 큰 전압을 가지는 입력 전압을 용인하는 톨러런트 입력 회로 및 방법을 제안하는 것이다.

<21> 본 발명의 또 다른 목적은, 넓은 범위의 낮은 전원 전압에서 동작할 수 있는 톨러런트 입력 회로 및 방법을 제안하는 것이다.

### 【발명의 구성 및 작용】

<22> 상기한 바와 같은 목적을 달성하기 위하여, 본 발명의 바람직한 일 실시예에 따른 톨러런트 입력 회로는 제 1 노드(이하 N1이라 함)의 신호를 이용하여 전원 전압보다 높은 전압을 가지는 제 2 노드의 신호를 발생시키고, 상기 제 1 노드의 신호를 제공하는 전원 전압부; 입력 신호와 상기 제 2 노드의 신호를 이용하여 입력 전압을 변화시키고, 상기 변화된 입력 전압을 가지는 제 3 노드(이하 N3라 함)의 신호를 발생시키는 보호 회로부; 및 상기 제 3 노드의 신호와 상기 제 1 노드의 신호를 이용하여 상기 입력 전압보다 낮은 전압을 가지는 제 4 노드(이하 N4라 함)의 신호를 발생시키는 입력 전압 가변부를 포함할 수 있다. 상기 전원 전압부는, 상기 제 1 노드의 신호를 제공하는 전원 전압 공급부; 및 상기 제 1 노드의 신호를 이용하여 상기 제 2 노드의 신호를 발생시키는 전원 전압 가변부를 포함할 수 있다. 상기 전원 전압 가변부는, 상기 제 1 노드의 신호에 따라 상기 전원 전압을 승압시키는 전원 전압 승압부; 및 상기 제 1 노드의 신호에 따라 상기 전원 전압을 하강시키는 전원 전압 하강부를 포함할 수 있다. 상기 전원 전압 가변부는, 차지 펌프일 수 있다. 상기 입력 전압 가변부는, 상기 제 1 노드의 신호와 상기 제 3 노드의 신호를 이용하여 상기 제 3 노드의 신호의 로직과 반대의 로직을 가지는 제 5 노드(이하 N5라 함)의 신호를 발생시키는 제 1 스위칭부; 및 상기 제 1 노드의 신호와 상기 제 5 노드의 신호를 이용하여 상기 제 5 노드의 신호의 로직과 반대의 로직을 가지며, 상기 입력 전압보다 낮은 전압을 가지는 상기 제 4 노드의 신호를 발생시키는 제 2 스위칭부를 포함할

수 있다. 상기 제 1 스위칭부는 상기 제 3 노드의 신호에 따라 스위칭하는 제 1 스위치; 및  
상기 제 3 노드의 신호에 따라 스위칭하는 제 2 스위치를 포함할 수 있다. 상기 제 2 스위칭부  
는, 상기 제 5 노드의 신호에 따라 스위칭하는 제 3 스위치; 및 상기 제 5 노드의 신호에 따라  
스위칭하는 제 4 스위치를 포함할 수 있다. 상기 제 3 스위치는, 상기 제 5 노드에 결합되어  
있는 1개의 피-모스 트랜지스터(P-MOS TRANSISTOR)를 포함할 수 있다. 상기 제 4 스위치는, 상  
기 제 3 스위치에 병렬로 결합되어 있는 1개의 엔-모스 트랜지스터(N-MOS TRANSISTOR)를 포함  
할 수 있다. 상기 제 1 스위치는, 상기 제 3 노드에 결합되어 있는 1개의 피-모스 트랜지스터  
(P-MOS TRANSISTOR)를 포함할 수 있다. 상기 제 2 스위치는, 상기 제 1 스위치에 병렬로 결합  
되어 있는 1개의 엔-모스 트랜지스터(N-MOS TRANSISTOR)를 포함할 수 있다. 상기 전원 전압 가  
변부는, 상기 제 2 노드에 결합되어 있는 제 1 피-모스 트랜지스터(P-MOS TRANSISTOR); 상기



제 1 피-모스 트랜지스터(P-MOS TRANSISTOR) 및 상기 제 1 노드에 결합되어 있는 제 1 엔-모스 트랜지스터(N-MOS TRANSISTOR); 상기 제 1 노드에 결합되어 있고, 상기 제 1 엔-모스 트랜지스터(N-MOS TRANSISTOR)에 병렬로 결합되어 있는 제 2 엔-모스 트랜지스터(N-MOS TRANSISTOR); 상기 제 2 엔-모스 트랜지스터(N-MOS TRANSISTOR)에 결합되어 있는 제 2 피-모스 트랜지스터(P-MOS TRANSISTOR); 상기 제 1 피-모스 트랜지스터(N-MOS TRANSISTOR)와 상기 제 2 피-모스 트랜지스터(P-MOS TRANSISTOR)에 결합되어 있는 제 1 캐패시터; 상기 제 1 엔-모스 트랜지스터(N-MOS TRANSISTOR)에 소스단과 상기 제 2 엔-모스 트랜지스터(N-MOS TRANSISTOR)의 게이트단에 결합되어 있는 제 2 캐패시터; 상기 제 2 엔-모스 트랜지스터(N-MOS TRANSISTOR)의 소스단과 상기 제 1 엔-모스 트랜지스터(N-MOS TRANSISTOR)의 게이트단에 결합되어 있는 제 3 캐패시터; 및 상기 제 1 피-모스 트랜지스터(P-MOS TRANSISTOR)와 상기 제 2 피-모스 트랜지스터(P-MOS TRANSISTOR)에 각기 병렬로 결합되어 있는 제 4 캐패시터를 포함할 수 있다. 상기 보호 회로부는, 패스 트랜지스터일 수 있다. 상기 보호 회로부는, 상기 제 2 노드와 상기 제 3 노드에 결합되어 있는 1개의 엔-모스 트랜지스터(N-MOS TRANSISTOR)를 포함할 수 있다.

<23> 본 발명의 다른 실시예에 따른 톨러런트 입력 회로는 전원 전압을 가지는 제 1 노드의 신호를 이용하여 상기 전원 전압을 2배 승압시키고, 상기 승압된 전원 전압을 가지는 제 2 노드의 신호를 발생시키며, 상기 제 1 노드의 신호를 제공하는 전원 전압부; 상기 전원 전압보다 고전압에 해당하는 입력 전압을 가지는 입력 신

호와 상기 제 2 노드의 신호를 이용하여 상기 입력 전압을 상기 승압된 전원 전압보다 문턱 전압만큼 낮은 전압으로 변화시키고, 상기 변화된 입력 전압을 가지는 제 3 노드의 신호를 발생시키는 보호 회로부; 및 상기 제 1 노드의 신호와 상기 제 3 노드의 신호를 이용하여 상기 입력 신호보다 전압의 레벨이 낮은 전압을 가지는 제 4 노드의 신호를 발생시키는 입력 전압 가변부를 포함할 수 있다. 상기 전원 전압부는, 차지 펌프를 이용하여 상기 전원 전압을 2배 승압시킬 수 있다. 상기 입력 전압은 4.5V 이상의 전압이고, 상기 전원 전압은 2V 이하일 수 있다. 상기 입력 전압 가변부는, 상호 직렬로 연결된 2개의 인버터를 포함할 수 있다. 상기 제 4 노드의 전압이 2V 이하일 수 있다.

<24> 본 발명의 또 다른 일 실시예에 따른 톨러런트 입력 회로는 차지 펌프를 이용하여 전원 전압을 가지는 제 1 노드의 신호를 충전시켜 상기 전원 전압을 2배 상승시키고, 상기 승압된 전원 전압을 가지는 제 2 노드의 신호를 발생시키며, 상기 제 1 노드의 신호를 제공하는 전원 전압부; 상기 상승된 전원 전압에 의해 제어되는 패스 트랜지스터를 이용하여 상기 전원 전압보다 고전압을 가지는 입력 전압의 레벨을 상기 상승된 전원 전압보다 문턱 전압만큼 낮은 레벨의 전압으로 변화시키며, 상기 변화된 입력 전압을 가지는 제 3 노드의 신호를 발생시키는 보호 회로부; 상기 제 3 노드의 신호에 응답하여 제 5 노드를 풀-업/다운시켜 상기 제 3 노드의 로직과 반대의 로직을 가지는 상기 제 5 노드의 신호를 발생시키는 제 1 스위칭부; 및 상기 제 5 노드의 신호에 응답하여 제 4 노드를 풀-업/다운시켜 상기 제 5 노드의 신호의 로직과 반대의 로직을 가지며, 2V 이하의 전압을 가지는 상기 제 4 노드의 신호를 발생시키는 제 2 스위칭부를 포함할 수 있다.

<25> 본 발명의 또 다른 일 실시예에 따른 톨러런트 입력 회로는 2V 이하의 전원 전압을 가지는 제 1 노드의 신호를 충전시켜 상기 전원 전압의 레벨을 2배 상승시키고, 상기 상승된 전원 전압

에 의해 제어되는 패스 트랜지스터를 이용하여 입력 전압의 레벨을 상기 상승된 전원 전압보다 문턱 전압만큼 낮은 레벨의 전압으로 변화시키며, 상기 변화된 입력 전압을 가지는 제 3 노드의 신호를 발생시키는 전압 하강부; 및 상기 제 1 노드의 신호를 이용하여 상기 제 3 노드의 신호를 버퍼링시키고, 상기 입력 신호보다 낮은 레벨의 전압을 가지며, 버퍼링된 제 4 노드의 신호를 발생시키는 버퍼를 포함할 수 있다. 상기 입력 전압은 4.5V 이상이고, 상기 제 4 노드의 전압은 2V 이하이며, 상기 패스 트랜지스터가 엔-모스 트랜지스터(N-MOS TRANSISTOR)일 수 있다.

<26> 본 발명의 바람직한 일 실시예에 따른 톨러런트 입력 방법은 제 1 노드의 신호를 이용하여 전원 전압보다 높은 전압을 가지는 제 2 노드의 신호를 발생시키는 단계; 상기 제 1 노드의 신호를 제공하는 단계; 입력 신호와 상기 제 2 노드의 신호를 이용하여 입력 전압을 변화시키는 단계; 상기 변화된 입력 전압을 가지는 제 3 노드의 신호를 발생시키는 단계; 및 상기 제 3 노드의 신호와 상기 제 1 노드의 신호를 이용하여 상기 입력 전압보다 낮은 전압을 가지는 제 4 노드의 신호를 발생시키는 단계를 포함할 수 있다. 상기 제 2 노드의 신호를 발생시키는 단계는 차지 펌핑시켜 상기 전원 전압의 크기를 2배 증압시키는 단계를 포함할 수 있다. 상기 제 4 노드의 신호를 발생시키는 단계는, 상기 제 1 노드의 신호와 상기 제 3 노드의 신호를 이용하여 상기 제 3 노드의 신호의 로직과 반대의 로직을 가지는 제 5 노드의 신호를 발생시키는 단계; 및 상기 제 1 노드의 신호와 상기 제 5 노드의 신호를 이용하여 상기 제 5 노드의 신호의 로직과 반대의 로직을 가지며, 상기 입력 전압보다 낮은 전압을 가지는 상기 제 4 노드의 신호를 발생시키는 단계를 포함할 수 있다. 상기 제 5 노드의 신호를 발생시키는 단계는, 상기 제 3 노드의 신호에 따라 스위칭하는 단계를 포함할 수 있다. 상기 제 4 노드의 신호를 발생시키는 단계는, 상기 제 5 노드의 신호에 따라 스위칭하는 단계를 포함할 수 있다.

<27> 본 발명의 다른 실시예에 따른 톨러런트 입력 방법은 전원 전압을 가지는 제 1 노드의 신호를 이용하여 상기 전원 전압을 2배 승압시키는 단계; 상기 승압된 전원 전압을 가지는 제 2 노드의 신호를 발생시키는 단계; 상기 제 1 노드의 신호를 제공하는 단계; 상기 전원 전압보다 고전압에 해당하는 입력 전압을 가지는 입력 신호와 상기 제 2 노드의 신호를 이용하여 상기 입력 전압을 상기 승압된 전원 전압보다 문턱 전압만큼 낮은 전압으로 변화시키는 단계; 상기 변화된 입력 전압을 가지는 제 3 노드의 신호를 발생시키는 단계; 및 상기 제 1 노드의 신호와 상기 제 3 노드의 신호를 이용하여 상기 입력 신호보다 전압의 레벨이 낮은 전압을 가지는 제 4 노드의 신호를 발생시키는 단계를 포함할 수 있다. 상기 전원 전압을 승압시키는 단계는, 차지 펌핑시켜 상기 전원 전압을 2배 승압시키는 단계를 포함할 수 있다. 상기 입력 전압이 4.5V 이상의 전압이고, 상기 전원 전압이 2V 이하일 수 있다. 제 4 노드의 신호를 발생시키는 단계는, 상기 제 1 노드의 신호와 상기 제 3 노드의 신호를 이용하여 상기 제 3 노드의 신호를 인버팅시키는 단계; 및 상기 인버팅된 제 3 노드의 신호를 재인버팅시키는 단계를 포함할 수 있다. 상기 제 4 노드의 신호를 발생시키는 단계는, 상기 제 4 노드의 전압이 2V 이하일 수 있다.

<28> 본 발명의 또 다른 실시예에 따른 톨러런트 입력 방법은 전원 전압을 가지는 제 1 노드의 신호를 차지 펌핑시켜 상기 전원 전압을 2배 상승시키는 단계; 상기 승압된 전원 전압을 가지는 제 2 노드의 신호를 발생시키는 단계; 상기 제 1 노드의 신호를 제공하는 단계; 상기 상승된 전원 전압과 입력 신호를 이용하여 상기 전원 전압보다 고전압을 가지는 입력 전압의 레벨을 상기 상승된 전원 전압보다 문턱 전압만큼 낮은 레벨의 전압으로 변화시키는 단계; 상기 변화된 입력 전압을 가지는 제 3 노드의 신호를 발생시키는 단계; 상기 제 3 노드의 신호에 응답하여 제 5 노드를 풀-업/다운시켜 상기 제 3 노드의 로직과 반대의 로직을 가지는 상기 제 5 노

드의 신호를 발생시키는 단계; 및 상기 제 5 노드의 신호에 응답하여 제 4 노드를 풀-업/다운시켜 상기 제 5 노드의 신호의 로직과 반대의 로직을 가지며, 2V 이하의 전압을 가지는 상기 제 4 노드의 신호를 발생시키는 단계를 포함할 수 있다.

<29> 본 발명의 또 다른 실시예에 따른 톨러런트 입력 방법은 2V 이하의 전원 전압을 가지는 제 1 노드의 신호를 차지 펌핑시켜 상기 전원 전압의 레벨을 2배 상승시키는 단계; 입력 신호와 상기 상승된 전원 전압을 이용하여 입력 전압을 상기 상승된 전원 전압보다 문턱 전압만큼 낮은 레벨의 전압으로 변화시키는 단계; 상기 변화된 입력 전압을 가지는 제 3 노드의 신호를 발생시키는 단계; 및 상기 제 1 노드의 신호를 이용하여 상기 제 3 노드의 신호를 버퍼링시키고, 상기 입력 신호보다 낮은 레벨의 전압을 가지며, 버퍼링된 제 4 노드의 신호를 발생시키는 단계를 포함할 수 있다. 상기 입력 전압은 4.5V 이상이고, 상기 제 4 노드의 전압은 2V 이하일 수 있다. 상기 제 4 노드의 신호를 발생시키는 단계는, 상기 제 3 노드의 신호를 인버팅시키는 단계; 및 상기 인버팅된 제 3 노드의 신호를 재인버팅시키는 단계를 포함할 수 있다.

<30> 이하에서는 첨부된 도면을 참조하여 본 발명에 따른 톨러런트 입력 회로의 바람직한 실시예를 자세히 설명하도록 한다.

<31> 도 1은 본 발명의 바람직한 일 실시예에 따른 톨러런트 입력 회로의 전체 구성을 도시한 블록도이다.

<32> 도 1을 참조하면, 본 발명의 일 실시예에 따른 톨러런트 입력 회로는 전원 전압부(10), 보호 회로부(30) 및 입력 전압 가변부(50)를 포함할 수 있다.

<33> 전원 전압부(10)는 제 1 노드의 신호를 이용하여 전원 전압을 승압시켜 제 2 노드의 신호를 발생시키고, 상기 제 1 노드의 신호를 제공한다.

- <34> 본 발명의 일 실시예에 따른 전원 전압부(10)는 2V 이하의 전압을 가지는 상기 제 1 노드의 신호를 이용하여 상기 전원 전압을 2배 승압시킨다. 예를 들어, 상기 전원 전압이 1.5V이면, 전원 전압부(10)는 3V를 가지는 상기 제 2 노드의 신호를 발생시킨다.
- <35> 보호 회로부(30)는 입력 신호와 상기 제 2 노드의 신호를 이용하여 입력 전압을 변화시킨다. 즉, 보호 회로부(30)는 상기 변화된 입력 전압을 가지는 제 3 노드의 신호를 발생시킨다. 상기 제 3 노드의 신호는 보호 신호로서 회로 소자를 보호한다. 상세하게는, 상기 제 3 노드의 신호는 입력 전압 가변부(50)의 회로 소자를 보호한다. 이에 대한 설명은 이하 첨부되는 도면에서 상술하겠다.
- <36> 입력 전압 가변부(50)는 상기 제 3 노드의 신호와 상기 제 1 노드의 신호를 이용하여 상기 입력 전압보다 낮은 전압을 가지는 제 4 노드의 신호를 발생시킨다. 즉, 본 발명에 따른 톨러런트 입력 회로는 상기 전원 전압보다 고전압인 입력 전압을 가지는 입력 신호를 제공받아서 상기 입력 전압보다 낮은 전압을 가지는 상기 제 4 노드의 신호를 발생시킨다.
- <37> 본 발명의 일 실시예에 따른 상기 입력 전압은 4.5V 이상이고, 상기 제 4 노드의 전압은 2V 이하이다.
- <38> 본 발명의 일 실시예에 따른 톨러런트 입력 회로는 상기 전원 전압을 2배 승압시켜 보호 회로부(30), 입력 전압 가변부(50)의 회로 소자를 보호한다.
- <39> 도 1에 도시된 바와 같이, 전원 전압부(10)는 전원 전압 공급부(100) 및 전원 전압 가변부(120)를 포함할 수 있다.
- <40> 전원 전압 공급부(100)는 상기 제 1 노드의 신호를 전원 전압 가변부(120) 및 입력 전압 가변부(50)에 제공한다.

- <41> 전원 전압 가변부(120)는 전원 전압 공급부(100)로부터 제공된 상기 제 1 노드의 신호를 이용하여 상기 전원 전압보다 큰 전압을 가지는 상기 제 2 노드의 신호를 발생시킨다. 본 발명의 일 실시예에 따른 전원 전압 가변부(120)는 상기 전원 전압을 상승시킬 수도 있고 하강시킬 수도 있다. 본 발명의 다른 실시예에 따른 전원 전압 가변부(120)는 상기 전원 전압을 2배 상승시킨다.
- <42> 본 발명에 따른 톨러런트 입력 회로는 종래 기술의 문제점을 해결하기 위해 상기 전원 전압을 승압시키는 전원 전압부(10)를 포함할 수 있다.
- <43> 도 2는 본 발명의 바람직한 일 실시예에 따른 입력 전압 가변부(50)의 구성을 도시한 블록도이다.
- <44> 도 2를 참조하면, 입력 전압 가변부(50)는 제 1 스위칭부(200) 및 제 2 스위칭부(220)를 포함할 수 있다.
- <45> 제 1 스위칭부(200)는 상기 제 1 노드의 신호와 상기 제 3 노드의 신호를 이용하여 제 5 노드의 신호를 발생시킨다. 상기 제 5 노드의 신호는 상기 제 3 노드의 신호의 로직과 반대의 로직을 가지는 신호이다. 예를 들어, 상기 제 3 노드의 신호의 로직이 "하이"인 경우, 상기 제 5 노드의 신호의 로직은 "로우"이고, 상기 제 3 노드의 신호의 로직이 "로우"인 경우, 상기 제 5 노드의 신호의 로직은 "하이"이다.
- <46> 본 발명의 일 실시예에 따른 제 1 스위칭부(200)는 1개의 인버터를 포함할 수 있다.
- <47> 제 2 스위칭부(220)는 상기 제 1 노드의 신호와 상기 제 5 노드의 신호를 이용하여 상기 제 4 노드의 신호를 발생시킨다. 상기 제 4 노드의 신호는 상기 제 5 노드의 신호의 로직과 반대의 로직을 가지는 신호이다. 예를 들어, 상기 제 5 노드의 신호의 로직이 "하이"인 경우, 상기 제

4 노드의 신호의 로직은 "로우"이고, 상기 제 5 노드의 신호의 로직이 "로우"인 경우, 상기 제 4 노드의 신호의 로직은 "하이"이다.

<48> 본 발명의 일 실시예에 따른 제 2 스위칭부(220)는 1개의 인버터를 포함할 수 있다.

<49> 본 발명의 일 실시예에 따른 제 1 스위칭부(200)와 제 2 스위칭부(220)가 인버터인 경우, 상기 제 4 노드의 신호는 상기 제 3 노드의 신호와 로직은 같고, 전압의 레벨은 다른 신호가 된다.

<50> 도 3은 본 발명의 바람직한 일 실시예에 따른 전원 전압 가변부(120)의 구성을 도시한 블록도이다.

<51> 도 3을 참조하면, 전원 전압 가변부(120)는 전원 전압 승압부(300)와 전원 전압 하강부(320)를 포함할 수 있다.

<52> 전원 전압 승압부(300)는 상기 제 1 노드의 신호에 따라 상기 전원 전압을 승압시킨다.

<53> 전원 전압 하강부(320)는 상기 제 1 노드의 신호에 따라 상기 전원 전압을 하강시킨다.

<54> 본 발명의 다른 실시예에 따른 전원 전압 가변부(120)는 전원 전압 승압부(300)만을 포함할 수 있다. 그러므로, 이 경우, 상기 제 2 노드의 전압은 항상 상기 전원 전압보다 크다.

<55> 도 4는 본 발명의 바람직한 일 실시예에 따른 제 1 스위칭부(200)의 구성을 도시한 블록도이다.

<56> 도 4를 참조하면, 제 1 스위칭부(200)는 제 1 스위치(400)와 제 2 스위치(420)를 포함할 수 있다.

<57> 제 1 스위치(400)는 상기 제 3 노드의 신호에 따라 턴-온/오프 된다.

<58> 제 2 스위치(420)는 상기 제 3 노드의 신호에 따라 턴-온/오프 된다.





- <59> 본 발명의 일 실시예에 따른 제 1 스위칭부(200)는 제 1 스위치(400)가 턴-온되는 경우, 제 2 스위치(420)는 턴-오프되고, 제 1 스위치(400)가 턴-오프되는 경우, 제 2 스위치(420)는 턴-온된다. 즉, 제 1 스위칭부(200)는 스위칭 소자이다.
- <60> 본 발명의 일 실시예에 따른 제 1 스위치(400)는 상기 제 3 노드의 신호의 로직이 "로우"인 경우, 턴-온 되고, 상기 제 3 노드의 신호의 로직이 "하이"인 경우, 턴-오프 되는 소자이다. 즉, 제 1 스위치(400)는 상기 제 3 노드의 신호의 로직이 "로우"인 경우, "하이" 로직을 가지는 출력 신호를 발생시키고, 상기 제 3 노드의 신호의 로직이 "하이"인 경우, 출력 신호를 발생시키지 않는다. 그리고, 제 2 스위치(420)는 상기 제 3 노드의 신호의 로직이 "하이"인 경우, "로우" 로직을 가지는 출력 신호를 발생시키고, 상기 제 3 노드의 신호의 로직이 "로우"인 경우, 출력 신호를 발생시키지 않는다.
- <61> 도 5는 본 발명의 바람직한 일 실시예에 따른 제 2 스위칭부(220)의 구성을 도시한 블록도이다.
- <62> 도 5를 참조하면, 제 2 스위칭부(220)는 제 3 스위치(500)와 제 4 스위치(520)를 포함할 수 있다.
- <63> 제 3 스위치(500)는 상기 제 5 노드의 신호에 따라 턴-온/오프 된다.
- <64> 제 4 스위치(520)는 상기 제 5 노드의 신호에 따라 턴-온/오프 된다.
- <65> 본 발명의 일 실시예에 따른 제 2 스위칭부(220)는 제 3 스위치(500)가 턴-온되는 경우, 제 4 스위치(520)는 턴-오프되고, 제 3 스위치(500)가 턴-오프되는 경우, 제 4 스위치(520)는 턴-온된다. 즉, 제 2 스위칭부(220)는 스위칭 소자이다.

- <66> 본 발명의 일 실시예에 따른 제 3 스위치(500)는 상기 제 5 노드의 신호의 로직이 "로우"인 경우, 턴-온 되고, 상기 5 노드의 신호의 로직이 "하이"인 경우, 턴-오프 되는 소자이다. 즉, 제 3 스위치(500)는 상기 제 5 노드의 신호의 로직이 "로우"인 경우, "하이" 로직을 가지는 출력 신호를 발생시키고, 상기 제 5 노드의 신호의 로직이 "하이"인 경우, 출력 신호를 발생시키지 않는다. 그리고, 제 4 스위치(520)는 상기 제 5 노드의 신호의 로직이 "하이"인 경우, "로우" 로직을 가지는 출력 신호를 발생시키고, 상기 제 5 노드의 신호의 로직이 "로우"인 경우, 출력 신호를 발생시키지 않는다.
- <67> 도 6a는 본 발명의 바람직한 일 실시예에 따른 톨러런트 입력 회로의 구성을 도시한 회로도이다.
- <68> 도 6a를 참조하면, 톨러런트 입력 회로는 전원 전압 가변부(120), 제 1 엔-모스 트랜지스터(N-MOS TRANSISTOR, 이하, NM1 모스 트랜지스터라 함), 제 2 엔-모스 트랜지스터(N-MOS TRANSISTOR, 이하, NM2 모스 트랜지스터라 함), 제 3 엔-모스 트랜지스터(N-MOS TRANSISTOR, 이하, NM3 모스 트랜지스터라 함), 제 1 피-모스 트랜지스터(P-MOS TRANSISTOR, 이하, P1 모스 트랜지스터라 함) 및 제 2 피-모스 트랜지스터(P-MOS TRANSISTOR, 이하, P2 모스 트랜지스터라 함)를 포함할 수 있다.
- <69> 전원 전압 가변부(120)의 회로는 이하 첨부된 도면을 참조하여 상술하겠다.
- <70> 보호 회로부(30)는 상기 NM1 모스 트랜지스터를 포함할 수 있다. 상기 NM1 모스 트랜지스터의 게이트단은 상기 제 2 노드에 결합되어 있다. 그리고, 상기 NM1 모스 트랜지스터의 벌크는 그라운드(ground)에 결합되어 있다.

- <71> 이하에서는, 상기 전원 전압( $V_{DD}$ )을 1.5V, 상기 입력 전압을 5.5V, 문턱 전압(Threshold voltage,  $V_{TH}$ )을 0.7V 및 상기 각각의 MOS 트랜지스터가 파괴되지 않고 견딜 수 있는 최대 전압을 3.6V로 가정하겠다.
- <72> 본 발명의 일 실시예에 따른 상기 제 2 노드의 전압은  $3V(2 \times V_{DD})$ 이다. 상기 제 2 노드의 전압이 3V이고, 상기 벌크의 전압이 0V이므로, 상기 NM1 MOS 트랜지스터의 게이트와 벌크 사이의 전압차는 3V이다. 이 경우, 상기 NM1 MOS 트랜지스터의 게이트와 벌크 사이의 전압차가 문턱 전압( $V_{TH}$ )보다 크므로, 상기 NM1 MOS 트랜지스터는 항상 턴-온 된다. 이 경우, 문턱 전압( $V_{TH}$ )은 바디 효과(Body effect)에 의해 약간 상승된다. 이하에서는, 바디 효과(Body effect)에 의해 상승된 문턱 전압( $V_{TH}$ )을 0.9V로 가정하겠다.
- <73> 상기 5V의 입력 신호가 상기 NM1 MOS 트랜지스터의 드레인단에 입력되면, 상기 제 3 노드의 전압은 상기 제 2 노드의 전압과 상기 문턱 전압( $V_{TH}$ )의 차에 해당하는 전압이 된다. 그러므로, 상기 제 3 노드의 전압은  $2 \times V_{DD} - V_{TH}$ 이다. 즉, 상기 제 3 노드의 전압은 2.1V이다. 상기 NM1 MOS 트랜지스터가 없으면, 상기 P1 MOS 트랜지스터의 각 단 사이의 각기 전압차가 3.6V보다 크므로, 상기 P1 MOS 트랜지스터가 파괴될 수 있고, 상기 NM2 MOS 트랜지스터의 각 단 사이의 각기 전압차가 3.6V보다 크므로, 상기 NM2 MOS 트랜지스터는 파괴될 수 있다. 그러나, 상기 NM1 MOS 트랜지스터를 상기 입력 전압과 상기 제 3 노드 사이에 결합함에 의해, 상기 P1 MOS 트랜지스터와 상기 NM2 MOS 트랜지스터의 각 단 사이의 각기 전압차가 3.6V보다 작아진다. 그러므로, 상기 P1 MOS 트랜지스터와 상기 NM2 MOS 트랜지스터는 파괴됨이 없이 정상적으로 동작할 것이다.

- <74> 종래의 기술에서는, 상기 전원 전압이 2V 이하일 경우, 상기 NM1 모스 트랜지스터의 게이트와 드레인 사이의 전압차가 3.6V보다 크므로, 상기 NM1 모스 트랜지스터가 파괴될 수 있었다. 그러나, 본 발명에 따른 톨러런트 입력 회로는 상기 전원 전압이 승압되므로, 상기 NM1 모스 트랜지스터의 게이트와 드레인 사이의 전압차가 3.6V보다 작아진다. 그러므로, 상기 NM1 모스 트랜지스터는 파괴됨이 없이 정상적으로 동작할 수 있다.
- <75> 본 발명의 일 실시예에 따른 상기 NM1 모스 트랜지스터는 패스 트랜지스터이다. 즉, 보호 회로부(30)는 패스 트랜지스터를 포함할 수 있다.
- <76> 제 1 스위칭부(200)는 상기 P1 모스 트랜지스터 및 상기 NM2 모스 트랜지스터를 포함할 수 있다. 상기 P1 모스 트랜지스터는 상기 제 3 노드에 결합되어 있고, 상기 NM2 모스 트랜지스터는 상기 P1 모스 트랜지스터에 병렬로 결합되어 있다.
- <77> 상기 P1 모스 트랜지스터의 게이트와 소스 사이의 전압차가 상기 문턱 전압( $V_{TH}$ )보다 작으므로, 상기 P1 모스 트랜지스터는 턴-오프 된다. 반면에, 상기 NM2 모스 트랜지스터의 게이트와 소스 사이의 전압차는 상기 문턱 전압( $V_{TH}$ )보다 크므로, 상기 NM2 모스 트랜지스터는 턴-온 된다. 엔-모스 트랜지스터(N-MOS TRANSISTOR)는 "하이" 로직을 가지는 신호를 입력받아 "로우" 로직을 가지는 신호를 발생시키는 소자이다. 그러므로, 상기 입력 신호가 5V인 경우, 상기 제 3 노드의 신호는 "하이" 로직의 신호이고, 상기 제 5 노드의 신호는 "로우" 로직의 신호이다. 즉, 상기 NM2 모스 트랜지스터는 상기 제 5 노드를 풀-다운(Pull-down)시켜 "로우" 로직을 가지는 신호를 발생시킨다.
- <78> 본 발명의 일 실시예에 따른 상기 제 3 노드의 신호가 "로우" 로직을 가지는 신호인 경우, 상기 P1 모스 트랜지스터가 턴-온 되고, 상기 NM2 모스 트랜지스터는 턴-오프된다.

- <79> 피-모스 트랜지스터(P-MOS TRANSISTOR)는 "로우" 로직의 신호를 입력받아 "하이" 로직을 가지는 신호를 발생시키는 소자이다. 즉, 상기 P1 모스 트랜지스터는 상기 제 5 노드를 풀-업(Pull-up)시켜 "하이" 로직을 가지는 신호를 발생시킨다.
- <80> 위에서 살펴본 바와 같이, 본 발명의 일 실시예에 따른 제 1 스위칭부(200)는 인버터이다.
- <81> 종래의 기술과 달리, 본 발명에 따른 톨러런트 입력 회로는 상기 제 3 노드의 전압이  $2 \times V_{DD} - V_{TH}$  이므로, 상기 입력 전압이 5V인 경우, 상기 P1 모스 트랜지스터가 턴-온 될 수 없다. 그러므로, 상기 P1 모스 트랜지스터를 차단시키기 위하여, 상기 제 1 노드와 상기 P1 모스 트랜지스터 사이에 별도의 피-모스 트랜지스터(P-MOS TRANSISTOR)가 결합되지 않아도 된다.
- <82> 제 2 스위칭부(220)는 상기 P2 모스 트랜지스터 및 상기 NM3 모스 트랜지스터를 포함할 수 있다. 상기 P2 모스 트랜지스터는 상기 제 5 노드에 결합되어 있고, 상기 NM3 모스 트랜지스터는 상기 P2 모스 트랜지스터에 병렬로 결합되어 있다.
- <83> 상기 P2 모스 트랜지스터의 게이트와 소스 사이의 전압차가 상기 문턱 전압( $V_{TH}$ )보다 크므로, 상기 P2 모스 트랜지스터는 턴-온 된다. 반면에, 상기 NM3 모스 트랜지스터의 게이트와 소스 사이의 전압차는 상기 문턱 전압( $V_{TH}$ )보다 작으므로, 상기 NM3 모스 트랜지스터는 턴-오프 된다. 그러므로, 상기 입력 신호가 5V인 경우, 상기 제 5 노드의 신호는 "로우" 로직을 가지는 신호이고, 상기 제 4 노드의 신호는 "하이" 로직을 가지는 신호이다. 즉, 상기 P2 모스 트랜지스터는 상기 제 4 노드를 풀-업(Pull-up)시켜 "하이" 로직을 가지는 신호를 발생시킨다.
- <84> 본 발명의 일 실시예에 따른 상기 제 5 노드의 신호가 "하이" 로직을 가지는 신호인 경우, 상기 P2 모스 트랜지스터가 턴-오프 되고, 상기 NM3 모스 트랜지스터는 턴-온 된다. 그러므로,

상기 제 5 노드의 신호가 "하이" 로직을 가지는 신호인 경우, 상기 제 4 노드의 신호는 "로우" 로직을 가지는 신호이다. 즉, 상기 NM3 모스 트랜지스터는 상기 제 4 노드를 풀-다운 (Pull-down)시켜 "로우" 로직을 가지는 신호를 발생시킨다.

- <85> 위에서 살펴본 바와 같이, 본 발명의 일 실시예에 따른 제 2 스위칭부(220)는 인버터이다.
- <86> 요컨대, 상기 제 1 스위칭부(200)와 제 2 스위칭부(220)가 인버터이므로, 본 발명의 일 실시예에 따른 입력 전압 가변부(50)는 버퍼이다.
- <87> 도 6b는 본 발명의 바람직한 일 실시예에 따른 제 1 노드의 신호와 제 2 노드의 신호를 도시한 신호도이다.
- <88> 도 6b를 참조하면, 본 발명의 일 실시예에 따른 상기 제 1 노드의 신호는 1.3 ~ 1.8V의 전압을 가지는 신호이고, 상기 제 2 노드의 신호는 2.6 ~ 3.6V의 전압을 가지는 신호이다. 즉, 전원 전압 가변부(120)는 상기 전원 전압을 2배 증압시켜 상기 제 2 노드의 신호를 발생시킨다.
- <89> 도 6c는 본 발명의 바람직한 일 실시예에 따른 제 3 노드의 신호를 도시한 신호도이다.
- <90> 도 6c를 참조하면, 본 발명의 일 실시예에 따른 상기 제 3 노드의 전압은  $2 \times V_{DD} - V_{TH}$ 이다. 즉, 종래의 기술에 비해, 상기 제 3 노드의 전압이 커졌다.
- <91> 도 7은 본 발명의 일 실시예에 따른 전원 전압 가변부(120)의 구성을 도시한 회로도이다.
- <92> 도 7을 참조하면, 전원 전압 가변부(120)는 제 1 엔-모스 트랜지스터(N-MOS TRANSISTOR, 이하 NM1 모스 트랜지스터라 함), 제 2 엔-모스 트랜지스터(N-MOS TRANSISTOR, 이하 NM2 모스 트랜지스터라 함), 제 1 피-모스 트랜지스터(P-MOS TRANSISTOR, 이하 P1 모스 트랜지스터라 함), 제 2 피-모스 트랜지스터(P-MOS TRANSISTOR, 이하 P2 모스 트랜지스터라 함), 제 1 캐패시터

(C1), 제 2 캐패시터(C2), 제 3 캐패시터(C3) 및 제 4 캐패시터(C4)를 포함할 수 있다. 상기 P1 모스 트랜지스터는 상기 제 2 노드에 결합되어 있고, 상기 NM1 모스 트랜지스터는 상기 P1 모스 트랜지스터 및 상기 제 1 노드에 결합되어 있다. 상기 NM2 모스 트랜지스터는 상기 제 1 노드에 결합되어 있고, 상기 NM1 모스 트랜지스터에 병렬로 결합되어 있다. 상기 P2 모스 트랜지스터는 상기 NM2 모스 트랜지스터에 결합되어 있고, 상기 제 1 캐패시터는 상기 P1 모스 트랜지스터와 상기 P2 모스 트랜지스터에 결합되어 있다. 상기 제 2 캐패시터는 상기 NM1 모스 트랜지스터의 소스단과 상기 NM2 모스 트랜지스터의 게이트단에 결합되어 있다. 상기 제 3 캐패시터는 상기 NM2 모스 트랜지스터의 소스단과 상기 NM1 모스 트랜지스터의 게이트단에 결합되어 있다. 상기 제 4 캐패시터는 상기 P1 모스 트랜지스터와 상기 P2 모스 트랜지스터에 각기 병렬로 결합되어 있다. 제 2 클럭 신호(T2)는 제 1 클럭(T1) 신호와 180°의 위상차를 가진다. 그러므로, 상기 제 1 클럭 신호가 "하이" 로직을 가지는 신호이면, 상기 제 2 클럭 신호는 "로우" 로직을 가지는 신호가 된다.

<93> 상기 제 1 클럭 신호가 "로우" 로직을 가지는 신호에서 "하이" 로직을 가지는 신호로 바뀌었다고 가정하자. 이 경우, 상기 제 2 클럭 신호는 "하이" 로직을 가지는 신호에서 "로우" 로직을 가지는 신호로 바뀐다. 초기 상태에, 제 6 노드(N6라 함)와 제 7 노드(이하 N7이라 함)는  $V_{DD}$  로 충전되어 있다. 상기 제 1 클럭 신호가 "로우" 로직을 가지는 신호에서 "하이" 로직을 가지는 신호로 바뀌면, 상기 NM1 모스 트랜지스터는 턴-오프 되고, 상기 NM2 모스 트랜지스터는 턴-온 되며, 상기 P1 모스 트랜지스터는 턴-온 되며, 상기 P2 모스 트랜지스터는 턴-오프 된다. 이 경우, 상기 제 1 클럭 신호가 "로우" 로직을 가지는 신호에서 "하이" 로직을 가

지는 신호로 바뀌는 순간에 상기 제 6 노드의 전압은  $2 \times V_{DD}$ 로 변한다. 즉, 제 8 노드(이하 N8이라 함)의 전압이 "0"에서 " $V_{DD}$ "로 변하므로, 상기 제 2 캐패시터의 양단 전압은  $2 \times V_{DD}$ 로 변한다. 이 경우, 상기 P1 모스 트랜지스터가 턴-온 되므로,  $2 \times V_{DD}$ 의 전압을 가지는 상기 제 6 노드의 전압이 상기 제 4 캐패시터에 충전된다. 그리고, 상기 NM2 모스 트랜지스터가 턴-온 되므로, 상기 제 7 노드의 전압은  $V_{DD}$ 를 유지한다.

<94> 상기 제 1 클럭 신호가 "하이" 로직을 가지는 신호에서 "로우" 로직을 가지는 신호로 바뀌는 경우, 상기 NM1 모스 트랜지스터가 턴-온 되고, 상기 NM2 모스 트랜지스터는 턴-오프 되며, 상기 P1 모스 트랜지스터는 턴-오프 되고, 상기 P2 모스 트랜지스터는 턴-온 된다. 그러므로, 이 경우, 상기 제 7 노드의 전압은  $2 \times V_{DD}$ 가 되고, 상기 제 6 노드의 전압은  $V_{DD}$ 가 된다. 상기 P2 모스 트랜지스터가 턴-온 되므로,  $2 \times V_{DD}$ 의 전압을 가지는 상기 제 7 노드의 전압이 상기 제 4 캐패시터에 충전된다.

<95> 위에서 살펴본 바와 같이, 상기 제 1 클럭 신호의 로직과 관계없이, 상기 제 2 노드의 전압은  $2 \times V_{DD}$ 가 된다.

<96> 상기 제 1 캐패시터는 래치업을 방지하여 준다. 상기 래치업은 상기 P1 모스 트랜지스터 및 상기 P2 모스 트랜지스터에 많은 전류가 흘러 상기 P1 모스 트랜지스터 및 상기 P2 모스 트랜지스터가 파괴되는 현상을 의미한다.

<97> 도 8은 본 발명의 바람직한 다른 실시예에 따른 톨러런트 입력 회로의 구성을 도시한 블록도이다.

<98> 도 8을 참조하면, 톨러런트 입력 회로는 전압 하강부(600) 및 버퍼(620)를 포함할 수 있다.



- <99> 전압 하강부(600)는 제 1 노드의 신호를 충전시켜 상기 전원 전압의 레벨을 2배 상승시키고, 상기 승압된 전원 전압에 의해 제어되는 패스 트랜지스터를 이용하여 입력 전압의 레벨을 상기 상승된 전원 전압보다 문턱 전압만큼 낮은 레벨의 전압으로 변화시키며, 상기 변화된 입력 전압을 가지는 제 3 노드의 신호를 발생시킨다. 본 발명의 일 실시예에 따른 상기 전원 전압은 1.3V ~ 1.8V이다.
- <100> 버퍼(620)는 상기 제 1 노드의 신호를 이용하여 상기 제 3 노드의 신호를 버퍼링시켜 상기 입력 신호보다 낮은 레벨의 전압을 가지는 제 4 노드의 신호를 발생시킨다.
- <101> 도 9는 본 발명의 바람직한 일 실시예에 따른 톨러런트 입력 회로의 동작을 도시한 순서도이다.
- <102> 도 9를 참조하면, 상기 제 2 노드의 전압 제어에 의해 상기 제 3 노드의 신호가 발생된다(S100). 본 발명의 일 실시예에 따른 상기 제 2 노드의 전압은  $2 \times V_{DD}$  이다. 상기 제 3 노드의 전압과 상기 NM2 모스 트랜지스터의 소스단 사이의 전압차가 문턱 전압( $V_{TH}$ ) 이상이면(S200), 상기 NM2 모스 트랜지스터는 턴-온 되고, 상기 P1 모스 트랜지스터는 턴-오프된다(S300). 계속하여, 상기 P2 모스 트랜지스터가 턴-온 되고, 상기 NM3 모스 트랜지스터가 턴-오프 된다(S400). 그런 후, 상기 제 4 노드의 신호가 발생된다(S700). 상기 제 3 노드의 전압과 상기 NM2 모스 트랜지스터의 소스단 사이의 전압차가 문턱 전압( $V_{TH}$ )보다 작으면(S200), 상기 P1 모스 트랜지스터는 턴-온 되고, 상기 NM2 모스 트랜지스터는 턴-오프된다(S500). 계속하여, 상기 NM3 모스 트랜지스터가 턴-온 되고, 상기 P2 모스 트랜지스터가 턴-오프 된다(S600). 그런 후, 상기 제 4 노드의 신호가 발생된다(S700).
- <103> 상기한 본 발명의 바람직한 실시예는 예시의 목적을 위해 개시된 것이고, 본 발명에 대한 통상의 지식을 가지는 당업자라면 본 발명의 사상과 범위 안에서 다양한 수정, 변경, 부가가 가능

능할 것이며, 이러한 수정, 변경 및 부가는 하기의 특허 청구범위에 속하는 것으로 보아야 할 것이다.

**【발명의 효과】**

- <104> 이상에서 설명한 바와 같이, 본 발명에 의한 톨러런트 입력 회로는 2V 이하의 낮은 전원 전압을 이용하여 4.5V 이상의 높은 입력 전압을 용인할 수 있는 장점이 있다.
- <105> 아울러, 본 발명에 따른 톨러런트 입력 회로는 승압된 전원 전압을 이용하여 입력 전압을 용인하므로, 회로 소자를 안정하게 보호할 수 있는 장점이 있다.
- <106> 또한, 본 발명에 따른 톨러런트 입력 회로는 승압된 전원 전압을 이용하여 입력 전압을 용인하므로, 부가 회로 없이 스위칭 동작을 안정하게 수행할 수 있는 장점이 있다.

**【특허청구범위】****【청구항 1】**

제 1 노드의 신호를 이용하여 전원 전압보다 높은 전압을 가지는 제 2 노드의 신호를 발생시키고, 상기 제 1 노드의 신호를 제공하는 전원 전압부;

입력 신호와 상기 제 2 노드의 신호를 이용하여 입력 전압을 변화시키고, 상기 변화된 입력 전압을 가지는 제 3 노드의 신호를 발생시키는 보호 회로부; 및

상기 제 3 노드의 신호와 상기 제 1 노드의 신호를 이용하여 상기 입력 전압보다 낮은 전압을 가지는 제 4 노드의 신호를 발생시키는 입력 전압 가변부를 포함하고 있는 것을 특징으로 하는 톨러런트 입력 회로.

**【청구항 2】**

제 1 항에 있어서,

상기 전원 전압부는,

상기 제 1 노드의 신호를 제공하는 전원 전압 공급부; 및

상기 제 1 노드의 신호를 이용하여 상기 제 2 노드의 신호를 발생시키는 전원 전압 가변부를 포함하고 있는 것을 특징으로 하는 톨러런트 입력 회로.

**【청구항 3】**

제 2 항에 있어서,

상기 전원 전압 가변부는,

상기 제 1 노드의 신호에 따라 상기 전원 전압을 승압시키는 전원 전압 승압부; 및  
상기 제 1 노드의 신호에 따라 상기 전원 전압을 하강시키는 전원 전압 하강부를 포함하고 있  
는 것을 특징으로 하는 톨러런트 입력 회로.

**【청구항 4】**

제 2 항에 있어서,

상기 전원 전압 가변부는, 차지 펌프인 것을 특징으로 하는 톨러런트 입력 회로.

**【청구항 5】**

제 1 항에 있어서,

상기 입력 전압 가변부는,

상기 제 1 노드의 신호와 상기 제 3 노드의 신호를 이용하여 상기 제 3 노드의 신호의 로직과  
반대의 로직을 가지는 제 5 노드의 신호를 발생시키는 제 1 스위칭부; 및

상기 제 1 노드의 신호와 상기 제 5 노드의 신호를 이용하여 상기 제 5 노드의 신호의 로직과  
반대의 로직을 가지며, 상기 입력 전압보다 낮은 전압을 가지는 상기 제 4 노드의 신호를 발생  
시키는 제 2 스위칭부를 포함하고 있는 것을 특징으로 하는 톨러런트 입력 회로.

**【청구항 6】**

제 5 항에 있어서,

상기 제 1 스위칭부는;

상기 제 3 노드의 신호에 따라 스위칭하는 제 1 스위치; 및

상기 제 3 노드의 신호에 따라 스위칭하는 제 2 스위치를 포함하고 있는 것을 특징으로 하는  
톨러런트 입력 회로.

**【청구항 7】**

제 5 항에 있어서,

상기 제 2 스위칭부는,

상기 제 5 노드의 신호에 따라 스위칭하는 제 3 스위치; 및

상기 제 5 노드의 신호에 따라 스위칭하는 제 4 스위치를 포함하고 있는 것을 특징으로 하는  
톨러런트 입력 회로.

**【청구항 8】**

제 7 항에 있어서,

상기 제 3 스위치는, 상기 제 5 노드에 결합되어 있는 1개의 피-모스 트랜지스터(P-MOS  
TRANSISTOR)를 포함하고 있는 것을 특징으로 하는 톨러런트 입력 회로.

**【청구항 9】**

제 7 항에 있어서,

상기 제 4 스위치는, 상기 제 3 스위치에 병렬로 결합되어 있는 1개의 엔-모스 트랜지스터  
(N-MOS TRANSISTOR)를 포함하고 있는 것을 특징으로 하는 톨러런트 입력 회로.

**【청구항 10】**

제 6 항에 있어서,

상기 제 1 스위치는, 상기 제 3 노드에 결합되어 있는 1개의 피-모스 트랜지스터(P-MOS  
TRANSISTOR)를 포함하고 있는 것을 특징으로 하는 톨러런트 입력 회로.

## 【청구항 11】

제 6 항에 있어서,

상기 제 2 스위치는, 상기 제 1 스위치에 병렬로 결합되어 있는 1개의 엔-모스 트랜지스터(N-MOS TRANSISTOR)를 포함하고 있는 것을 특징으로 하는 톨러런트 입력 회로.

## 【청구항 12】

제 2 항에 있어서,

상기 전원 전압 가변부는,

상기 제 2 노드에 결합되어 있는 제 1 피-모스 트랜지스터(P-MOS TRANSISTOR);

상기 제 1 피-모스 트랜지스터(P-MOS TRANSISTOR) 및 상기 제 1 노드에 결합되어 있는 제 1 엔-모스 트랜지스터(N-MOS TRANSISTOR);

상기 제 1 노드에 결합되어 있고, 상기 제 1 엔-모스 트랜지스터(N-MOS TRANSISTOR)에 병렬로 결합되어 있는 제 2 엔-모스 트랜지스터(N-MOS TRANSISTOR);

상기 제 2 엔-모스 트랜지스터(N-MOS TRANSISTOR)에 결합되어 있는 제 2 피-모스 트랜지스터(P-MOS TRANSISTOR);

상기 제 1 피-모스 트랜지스터(N-MOS TRANSISTOR)와 상기 제 2 피-모스 트랜지스터(P-MOS TRANSISTOR)에 결합되어 있는 제 1 캐패시터;

상기 제 1 엔-모스 트랜지스터(N-MOS TRANSISTOR)에 소스단과 상기 제 2 엔-모스 트랜지스터(N-MOS TRANSISTOR)의 게이트단에 결합되어 있는 제 2 캐패시터;

상기 제 2 엔-모스 트랜지스터(N-MOS TRANSISTOR)의 소스단과 상기 제 1 엔-모스 트랜지스터(N-MOS TRANSISTOR)의 게이트단에 결합되어 있는 제 3 캐패시터; 및

상기 제 1 피-모스 트랜지스터(P-MOS TRANSISTOR)와 상기 제 2 피-모스 트랜지스터(P-MOS TRANSISTOR)에 각기 병렬로 결합되어 있는 제 4 캐패시터를 포함하고 있는 것을 특징으로 하는 톨러런트 입력 회로.

【청구항 13】

제 1 항에 있어서,

상기 보호 회로부는, 패스 트랜지스터 인 것을 특징으로 하는 톨러런트 입력 회로.

【청구항 14】

제 13항에 있어서,

상기 보호 회로부는, 상기 제 2 노드와 상기 제 3 노드에 결합되어 있는 1개의 엔-모스 트랜지스터(N-MOS TRANSISTOR)를 포함하고 있는 것을 특징으로 하는 톨러런트 입력 회로.

【청구항 15】

전원 전압을 가지는 제 1 노드의 신호를 이용하여 상기 전원 전압을 2배 승압시키고, 상기 승압된 전원 전압을 가지는 제 2 노드의 신호를 발생시키며, 상기 제 1 노드의 신호를 제공하는 전원 전압부;

상기 전원 전압보다 고전압에 해당하는 입력 전압을 가지는 입력 신호와 상기 제 2 노드의 신호를 이용하여 상기 입력 전압을 상기 승압된 전원 전압보다 문턱 전압만큼 낮은 전압으로 변화시키고, 상기 변화된 입력 전압을 가지는 제 3 노드의 신호를 발생시키는 보호 회로부; 및

상기 제 1 노드의 신호와 상기 제 3 노드의 신호를 이용하여 상기 입력 신호보다 전압의 레벨이 낮은 전압을 가지는 제 4 노드의 신호를 발생시키는 입력 전압 가변부를 포함하고 있는 것을 특징으로 하는 톨러런트 입력 회로.

**【청구항 16】**

제 15 항에 있어서,

상기 전원 전압부는, 차지 펌프를 이용하여 상기 전원 전압을 2배 승압시키는 것을 특징으로 하는 톨러런트 입력 회로.

**【청구항 17】**

제 15 항에 있어서,

상기 입력 전압이 4.5V 이상의 전압이고, 상기 전원 전압이 2V 이하인 것을 특징으로 하는 톨러런트 입력 회로.

**【청구항 18】**

제 15 항에 있어서,

상기 입력 전압 가변부는, 상호 직렬로 연결된 2개의 인버터를 포함하고 있는 것을 특징으로 하는 톨러런트 입력 회로.

**【청구항 19】**

제 18 항에 있어서,

상기 제 4 노드의 전압이 2V 이하인 것을 특징으로 하는 톨러런트 입력 회로.

**【청구항 20】**

차지 펌프를 이용하여 전원 전압을 가지는 제 1 노드의 신호를 충전시켜 상기 전원 전압을 2배 상승시키고, 상기 승압된 전원 전압을 가지는 제 2 노드의 신호를 발생시키며, 상기 제 1 노드의 신호를 제공하는 전원 전압부;



상기 상승된 전원 전압에 의해 제어되는 패스 트랜지스터를 이용하여 상기 전원 전압보다 고 전압을 가지는 입력 전압의 레벨을 상기 상승된 전원 전압보다 문턱 전압만큼 낮은 레벨의 전압으로 변화시키며, 상기 변화된 입력 전압을 가지는 제 3 노드의 신호를 발생시키는 보호 회로부;

상기 제 3 노드의 신호에 응답하여 제 5 노드를 풀-업/다운시켜 상기 제 3 노드의 로직과 반대의 로직을 가지는 상기 제 5 노드의 신호를 발생시키는 제 1 스위칭부; 및

상기 제 5 노드의 신호에 응답하여 제 4 노드를 풀-업/다운시켜 상기 제 5 노드의 신호의 로직과 반대의 로직을 가지며, 2V 이하의 전압을 가지는 상기 제 4 노드의 신호를 발생시키는 제 2 스위칭부를 포함하고 있는 것을 특징으로 하는 톨러런트 입력 회로.

#### 【청구항 21】

2V 이하의 전원 전압을 가지는 제 1 노드의 신호를 충전시켜 상기 전원 전압의 레벨을 2배 상승시키고, 상기 상승된 전원 전압에 의해 제어되는 패스 트랜지스터를 이용하여 입력 전압의 레벨을 상기 상승된 전원 전압보다 문턱 전압만큼 낮은 레벨의 전압으로 변화시키며, 상기 변화된 입력 전압을 가지는 제 3 노드의 신호를 발생시키는 전압 하강부; 및

상기 제 1 노드의 신호를 이용하여 상기 제 3 노드의 신호를 버퍼링시키고, 상기 입력 신호보다 낮은 레벨의 전압을 가지며, 버퍼링된 제 4 노드의 신호를 발생시키는 버퍼를 포함하고 있는 것을 특징으로 하는 톨러런트 입력 회로.

**【청구항 22】**

제 21 항에 있어서,

상기 입력 전압은 4.5V 이상이고, 상기 제 4 노드의 전압은 2V 이하이며, 상기 패스 트랜지스터가 엔-모스 트랜지스터(N-MOS TRANSISTOR)인 것을 특징으로 하는 톨러런트 입력 회로.

**【청구항 23】**

제 1 노드의 신호를 이용하여 전원 전압보다 높은 전압을 가지는 제 2 노드의 신호를 발생시키는 단계;

상기 제 1 노드의 신호를 제공하는 단계;

입력 신호와 상기 제 2 노드의 신호를 이용하여 입력 전압을 변화시키는 단계;

상기 변화된 입력 전압을 가지는 제 3 노드의 신호를 발생시키는 단계; 및

상기 제 3 노드의 신호와 상기 제 1 노드의 신호를 이용하여 상기 입력 전압보다 낮은 전압을 가지는 제 4 노드의 신호를 발생시키는 단계를 포함하고 있는 것을 특징으로 하는 톨러런트 입력 방법.

**【청구항 24】**

제 23 항에 있어서,

상기 제 2 노드의 신호를 발생시키는 단계는,

차지 펌핑시켜 상기 전원 전압의 크기를 2배 승압시키는 단계를 포함하고 있는 것을 특징으로 하는 톨러런트 입력 방법.

**【청구항 25】**

제 23 항에 있어서,

상기 제 4 노드의 신호를 발생시키는 단계는,

상기 제 1 노드의 신호와 상기 제 3 노드의 신호를 이용하여 상기 제 3 노드의 신호의 로직과 반대의 로직을 가지는 제 5 노드의 신호를 발생시키는 단계; 및

상기 제 1 노드의 신호와 상기 제 5 노드의 신호를 이용하여 상기 제 5 노드의 신호의 로직과 반대의 로직을 가지며, 상기 입력 전압보다 낮은 전압을 가지는 상기 제 4 노드의 신호를 발생시키는 단계를 포함하고 있는 것을 특징으로 하는 톨러런트 입력 방법.

【청구항 26】

제 25 항에 있어서,

상기 제 5 노드의 신호를 발생시키는 단계는, 상기 제 3 노드의 신호에 따라 스위칭하는 단계를 포함하고 있는 것을 특징으로 하는 톨러런트 입력 방법.

【청구항 27】

제 25 항에 있어서,

상기 제 4 노드의 신호를 발생시키는 단계는, 상기 제 5 노드의 신호에 따라 스위칭하는 단계를 포함하고 있는 것을 특징으로 하는 톨러런트 입력 방법.

【청구항 28】

전원 전압을 가지는 제 1 노드의 신호를 이용하여 상기 전원 전압을 2배 승압시키는 단계;

상기 승압된 전원 전압을 가지는 제 2 노드의 신호를 발생시키는 단계;

상기 제 1 노드의 신호를 제공하는 단계;

상기 전원 전압보다 고전압에 해당하는 입력 전압을 가지는 입력 신호와 상기 제 2 노드의 신호를 이용하여 상기 입력 전압을 상기 승압된 전원 전압보다 문턱 전압만큼 낮은 전압으로 변화시키는 단계;

상기 변화된 입력 전압을 가지는 제 3 노드의 신호를 발생시키는 단계; 및

상기 제 1 노드의 신호와 상기 제 3 노드의 신호를 이용하여 상기 입력 신호보다 전압의 레벨이 낮은 전압을 가지는 제 4 노드의 신호를 발생시키는 단계를 포함하고 있는 것을 특징으로 하는 톨러런트 입력 방법.

**【청구항 29】**

제 28 항에 있어서,

상기 전원 전압을 승압시키는 단계는, 차지 펌핑시켜 상기 전원 전압을 2배 승압시키는 단계를 포함하고 있는 것을 특징으로 하는 톨러런트 입력 방법.

**【청구항 30】**

제 28 항에 있어서,

상기 입력 전압이 4.5V 이상의 전압이고, 상기 전원 전압이 2V 이하인 것을 특징으로 하는 톨러런트 입력 방법.

**【청구항 31】**

제 28 항에 있어서,

제 4 노드의 신호를 발생시키는 단계는,

상기 제 1 노드의 신호와 상기 제 3 노드의 신호를 이용하여 상기 제 3 노드의 신호를 인버팅시키는 단계; 및

상기 인버팅된 제 3 노드의 신호를 재인버팅시키는 단계를 포함하고 있는 것을 특징으로 하는  
 톨러런트 입력 방법.

#### 【청구항 32】

제 31 항에 있어서,

상기 제 4 노드의 신호를 발생시키는 단계는, 상기 제 4 노드의 전압이 2V 이하인 것을 특징  
 으로 하는 톨러런트 입력 방법.

#### 【청구항 33】

전원 전압을 가지는 제 1 노드의 신호를 차지 펌핑시켜 상기 전원 전압을 2배 상승시키는 단  
 계;

상기 승압된 전원 전압을 가지는 제 2 노드의 신호를 발생시키는 단계;

상기 제 1 노드의 신호를 제공하는 단계;

상기 상승된 전원 전압과 입력 신호를 이용하여 상기 전원 전압보다 고전압을 가지는 입력 전  
 압의 레벨을 상기 상승된 전원 전압보다 문턱 전압만큼 낮은 레벨의 전압으로 변화시키는  
 단계;

상기 변화된 입력 전압을 가지는 제 3 노드의 신호를 발생시키는 단계;

상기 제 3 노드의 신호에 응답하여 제 5 노드를 풀-업/다운시켜 상기 제 3 노드의 로직과 반  
 대의 로직을 가지는 상기 제 5 노드의 신호를 발생시키는 단계; 및

상기 제 5 노드의 신호에 응답하여 제 4 노드를 풀-업/다운시켜 상기 제 5 노드의 신호의 로  
 직과 반대의 로직을 가지며, 2V 이하의 전압을 가지는 상기 제 4 노드의 신호를 발생시키는 단  
 계를 포함하고 있는 것을 특징으로 하는 톨러런트 입력 방법.

**【청구항 34】**

2V 이하의 전원 전압을 가지는 제 1 노드의 신호를 차지 펌핑시켜 상기 전원 전압의 레벨을 2배 상승시키는 단계;

입력 신호와 상기 상승된 전원 전압을 이용하여 입력 전압을 상기 상승된 전원 전압보다 문턱 전압만큼 낮은 레벨의 전압으로 변화시키는 단계;

상기 변화된 입력 전압을 가지는 제 3 노드의 신호를 발생시키는 단계; 및

상기 제 1 노드의 신호를 이용하여 상기 제 3 노드의 신호를 버퍼링시키고, 상기 입력 신호보다 낮은 레벨의 전압을 가지며, 버퍼링된 제 4 노드의 신호를 발생시키는 단계를 포함하고 있는 것을 특징으로 하는 톨러런트 입력 방법.

**【청구항 35】**

제 34 항에 있어서,

상기 입력 전압은 4.5V 이상이고, 상기 제 4 노드의 전압은 2V 이하인 것을 특징으로 하는 톨러런트 입력 방법.

**【청구항 36】**

제 34 항에 있어서,

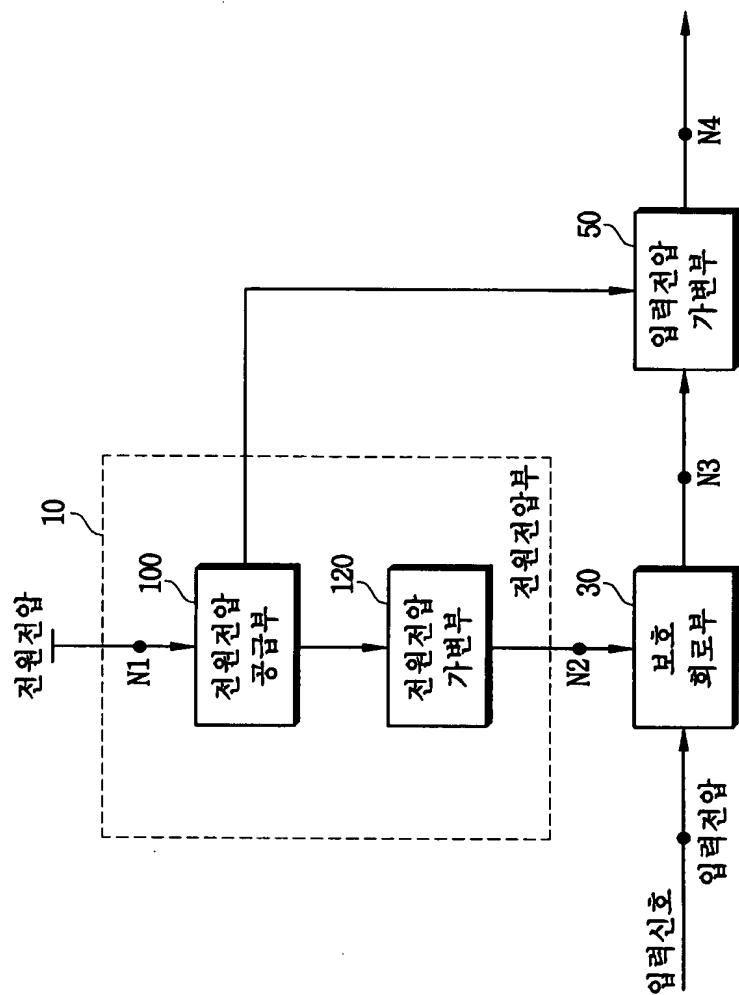
상기 제 4 노드의 신호를 발생시키는 단계는,

상기 제 3 노드의 신호를 인버팅시키는 단계; 및

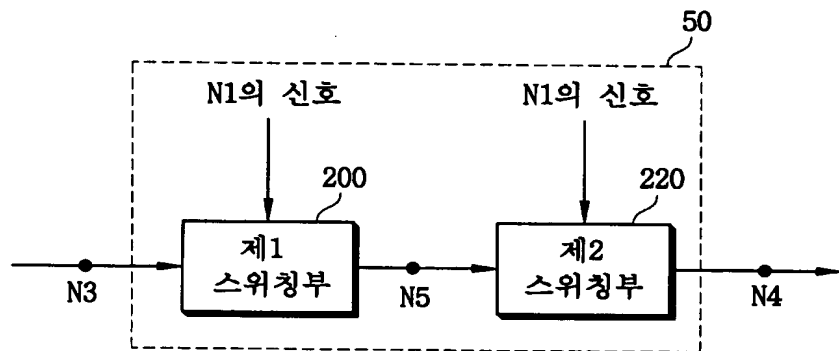
상기 인버팅된 제 3 노드의 신호를 재인버팅시키는 단계를 포함하는 것을 특징으로 하는 톨러런트 입력 방법.

【도면】

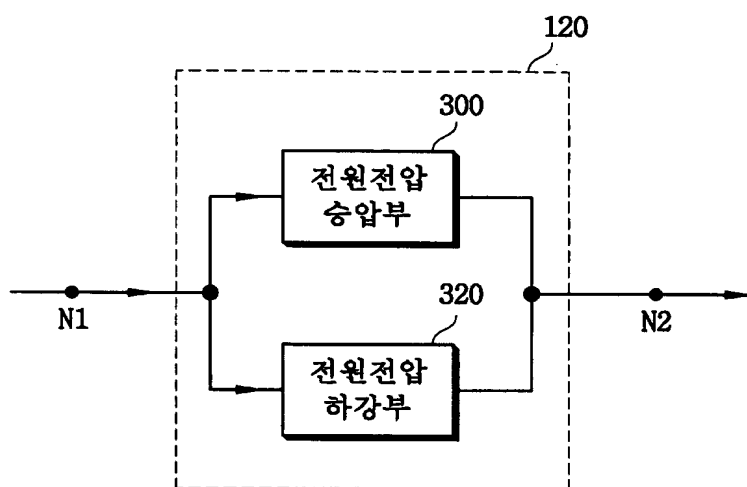
【도 1】



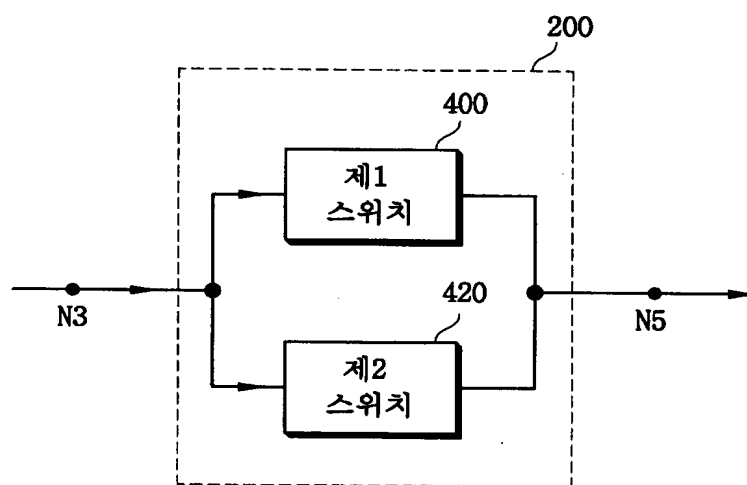
【도 2】



【도 3】

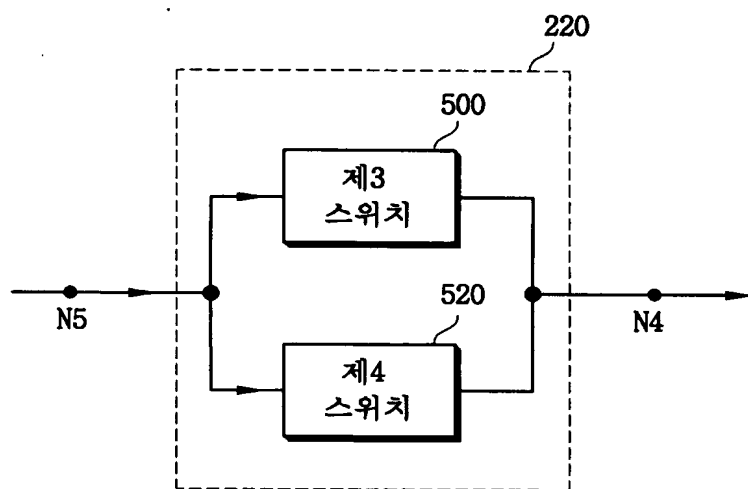


【도 4】

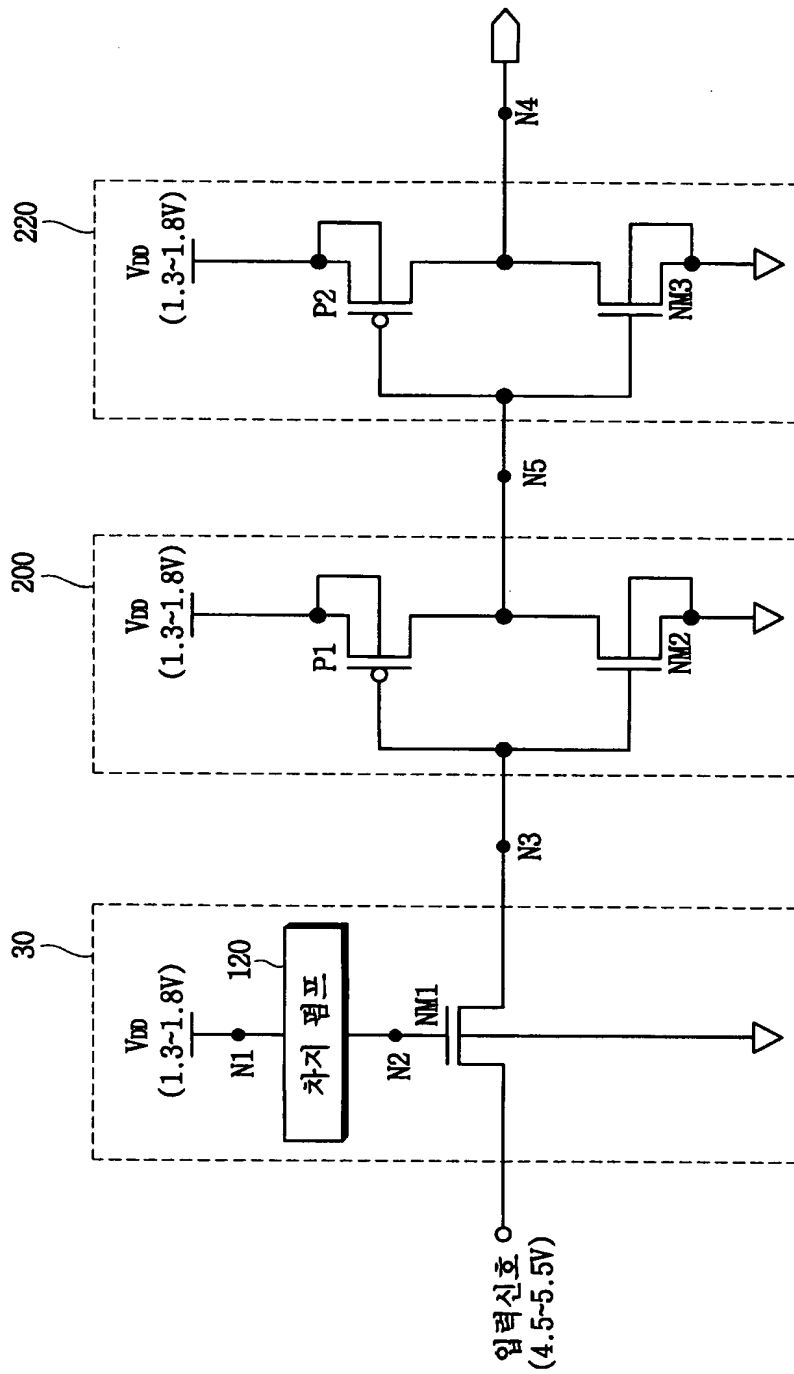




【도 5】

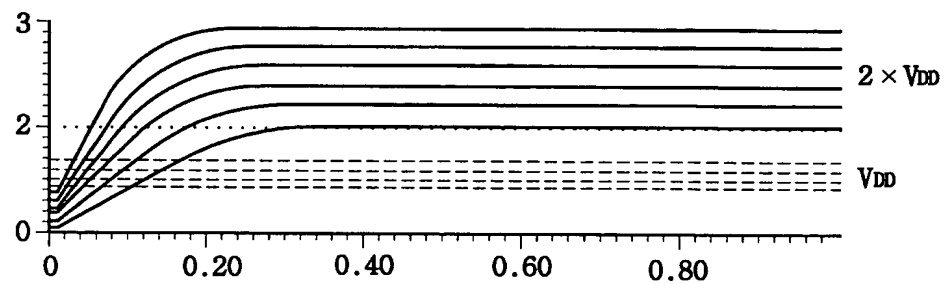


【도 6a】

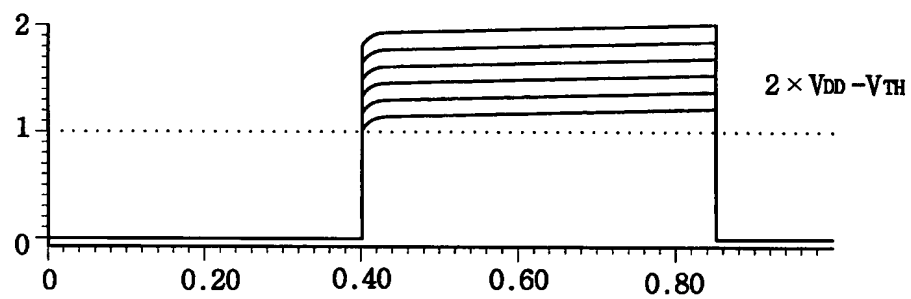




【도 6b】

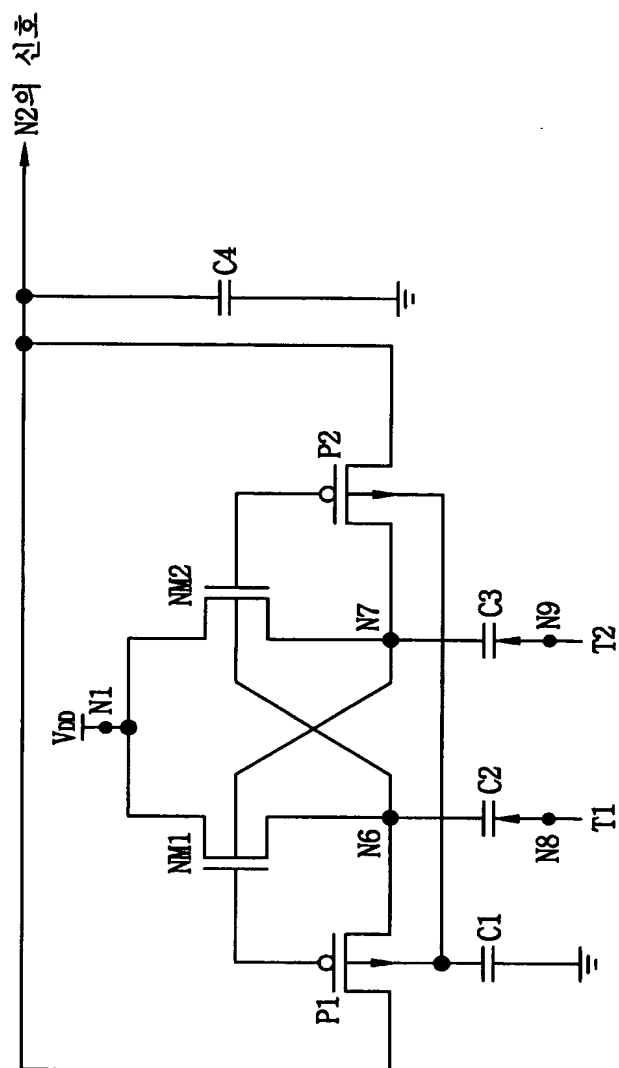


【도 6c】

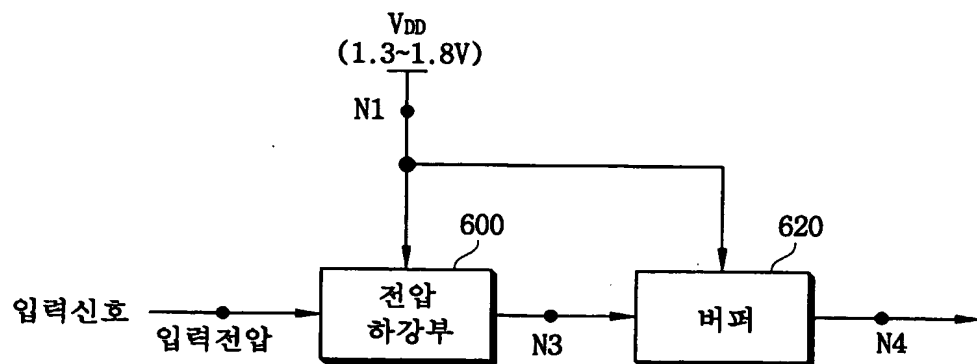




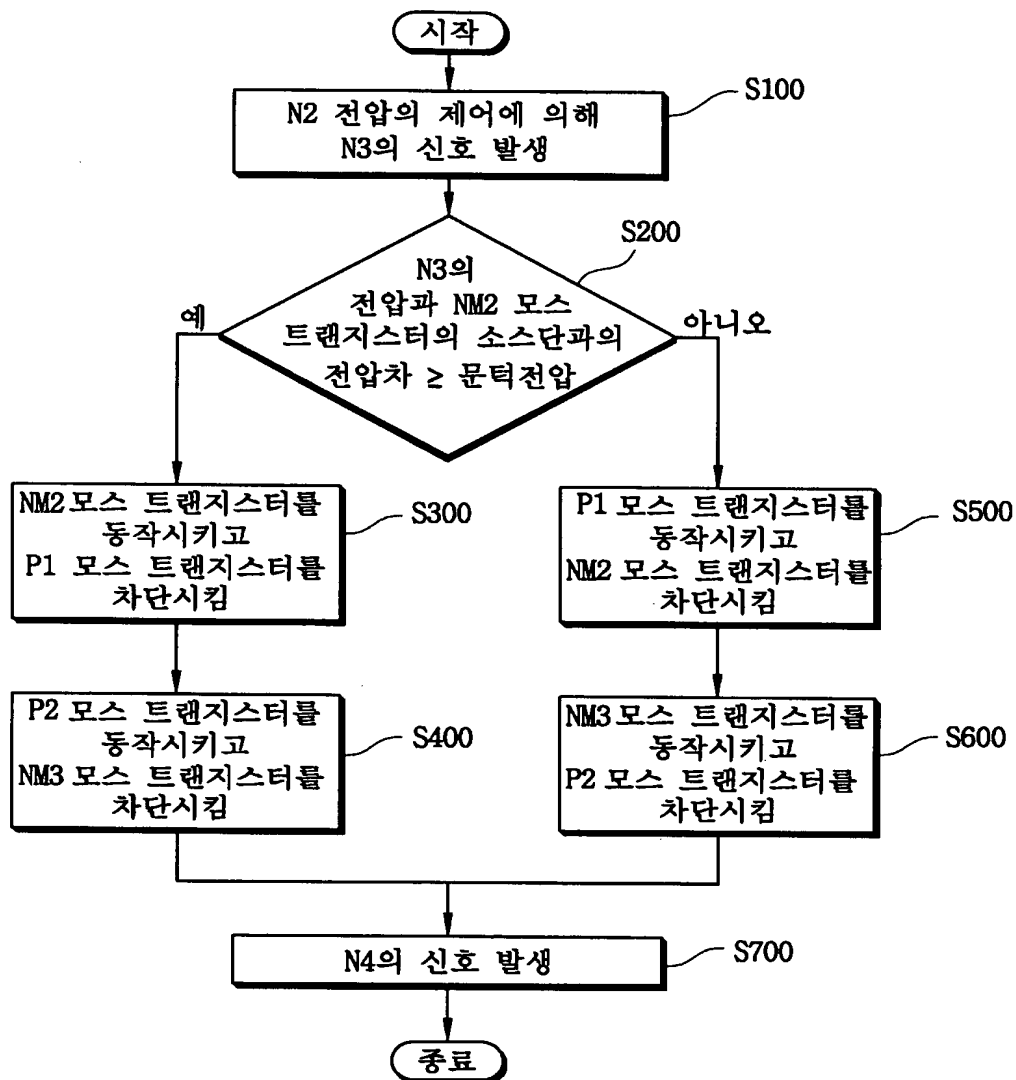
【도 7】



【도 8】



【도 9】



【도 10】

